本文主要介绍说明 XQ6657Z35-EVM 高速数据处理评估板 ZYNQ 与 DSP 之间 uPP 通信的 功能、使用步骤以及各个例程的运行效果。

[基于 TI KeyStone 架构 C6000 系列 TMS320C6657 双核 C66x 定点/浮点 DSP 以及 Xilinx Zynq-7000 系列 SoC 处理器 XC7Z035-2FFG676I 设计的异构多核评估板,由核心板与评估底板 组成。]

1.1ZYNQ与 DSP 之间 uPP 通信

1.1.1例程位置

ZYNQ 例程保存在资料盘中的 Demo\ZYNQ\PL\FPGA_DSP_uPP 文件夹下 DSP 例程保存在资料盘中的 Demo\DSP\XQ_uPP 文件夹下。

1.1.2功能简介

实现 DSP 与 ZYNQ PL 端之间 uPP 接口传输功能。

DSP 通过 uPP B 通道往 ZYNQ PL 端发送 204800 字节数据, ZYNQ PL 端收到 uPP B 通道数 据后直接交给 uPP A 通道送回至 DSP。DSP 程序比对 uPP A 通道接收到的数据和 uPP B 通道 发送出去的数据, 检测数据是否有错, uPP A/B 两个通道的数据收发以及错误情况实时打印。 DSP 与 ZYNQ PL 端之间 uPP A/B 两个通道接口的连接示意图如下图所示:



1.1.3例程使用

1.1.3.1 加载运行 ZYNQ 程序

1.1.3.1.1 打开 Vivado 工程

打开 Vivado 示例工程:

← → ~ ↑ 📙 > 此电脑 > 工作	盘 (D:) → ZYNQ_7045_7035	FPGA_DSP_uPP > p	arj >
名称 ^ ^	修改日期	类型	大小
📙 fpga_dsp_upp.cache	2022/11/4 12:11	文件夹	
📙 fpga_dsp_upp.hw	2022/11/4 18:33	文件夹	
📙 fpga_dsp_upp.ip_user_files	2022/11/4 12:11	文件夹	
fpga_dsp_upp.runs	2022/11/4 12:11	文件夹	
fpga_dsp_upp.sim	2022/11/4 12:11	文件夹	
🍌 fpga_dsp_upp.xpr	2022/11/4 18:33	Vivado Project Fi	9 KB

工程打开后界面如下图所示:





1.1.3.1.2 下载 ZYNQ PL 程序

下载 bit 流文件	⁻ fpga_dsp_upp_top.bit,如下图下载	或界面所示:
🍌 fpga_dsp_upp - [D:/ZYNQ_7045_703	5/FPGA_DSP_uPP/prj/fpga_dsp_upp.xpr] - Vivado 2018.3	×
Eile Edit Flow Tools Repor	ts Window Layout View Help Q-Quick Access	Synthesis and Implementation Out-of-date details
🖷 🛧 🔺 🖬 🖿 🗙 🕨	👫 🏟 ∑ 🚿 🖉 🎉 Dashboard 🗸	📰 Default Layout 🗸 🗸
Flow Navigator 🗧 🖨 📍 🔤	HARDWARE MANAGER - localhost/xilinx_tcf/Digilent/210512180081	? >
Language Templates	There are no debug cores. Program device Refresh device	
₽ IP Catalog	Hardware ? _ D II ×	
✓ IP INTEGRATOR	Q, ¥, ♦ Ø ▶ ≫ ■ Φ Name Status	
Create Block Design	v I localhost (1) Connected	
Open Block Design	✓ ■ ✓ xilinx_tcf/Digilent/2105121800 Open	
Generate Block Design	(t) arm_dap_0 (0) N/A	
SIMULATION Run Simulation RTL ANALYSIS Open Elaborated Design	Hard Program Device xc Select a bitstream programming file and download it to your hardw select a debug probes file that corresponds to the debug cores cor- programming file. Par	x are device. You can optionally Italined in the bitstream
✓ SYNTHESIS	Bitstream file: PGA_DSP_uPP/prj/fpga_dsp_upp.runs/im	pl_1/fpga_dsp_upp_top.bit 3 ···
Run Synthesis	Gen Debug probes file:	
> Open Synthesized Design	Tcl C	? _ 🗆 🖾
	Q	
Run Implementation		
> Open Implemented Design	C	Program Cancel p. bit / Lget_h#_devices xc/sU35_1
Y PROGRAM AND DEBUG	△ INFO: [Labtools 27-1435] Device xc7z035 (JTAG device index = 1)	is not programmed (DOWE status = 0).
Senerate Bitstream	<	· · · · · · · · · · · · · · · · · · ·
∨ Onon Hardwaro Mananor	Type a Tcl command here	

1.1.3.2 加载运行 DSP 程序

1.1.3.2.1 CCS 导入例程

CCS 软件导入 uPP 示例工程 XQ_uPP, 如下图所示:



1.1.3.2.2 下载运行 CCS 程序

下载 DSP 可执行文件 XQ_uPP.out: workspace_v7 - CCS Debug - Source not found Code Composer Stud File Edit View Project Tools Run Scripts Window Help	
 	nded)
Imair Program file Display="block-color: block-color: block-col	× Browse Browse project
点击 Resume 运行 DSP 程序: File Edit View Project Iools Run Scripts Window I ♥ ■ ■ ■ ■ ● ● ● ● ● ● ● ● ● ● ● ● ● ● ●	Help Help Bebugging] xx_0 (Suspended - SW Breakpoint) oint was reached) xx_1 (Disconnected : Unknown)
■ >>> ■ Incoloops	